

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 7月22日

出願番号 Application Number: 特願2003-277404

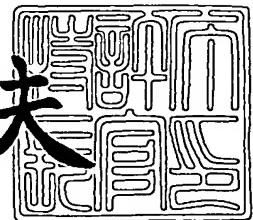
[ST. 10/C]: [JP2003-277404]

出願人 Applicant(s): セイコーエプソン株式会社

2003年11月21日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 EP-0449401
【提出日】 平成15年 7月22日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/088
【発明者】
 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 【氏名】 島田 浩行
【特許出願人】
 【識別番号】 000002369
 【氏名又は名称】 セイコーエプソン株式会社
【代理人】
 【識別番号】 100090479
 【弁理士】
 【氏名又は名称】 井上 一
 【電話番号】 03-5397-0891
 【ファクシミリ番号】 03-5397-0893
【選任した代理人】
 【識別番号】 100090387
 【弁理士】
 【氏名又は名称】 布施 行夫
【選任した代理人】
 【識別番号】 100090398
 【弁理士】
 【氏名又は名称】 大渕 美千栄
【先の出願に基づく優先権主張】
 【出願番号】 特願2003- 91332
 【出願日】 平成15年 3月28日
【手数料の表示】
 【予納台帳番号】 039491
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9402500

【書類名】特許請求の範囲**【請求項1】**

半導体層と、

前記半導体層の上方に形成されたゲート絶縁層と、

前記ゲート絶縁層の上方に形成されたゲート電極と、を含み、

前記ゲート絶縁層に含まれる酸素の原子分率は5atm.%以下である、半導体装置。

【請求項2】

半導体層と、

前記半導体層の上方に形成されたゲート絶縁層であって、界面反応層を有するゲート絶縁層と、

前記ゲート絶縁層の上方に形成されたゲート電極と、を含み、

前記ゲート絶縁層に含まれる酸素の原子分率は5atm.%以下である、半導体装置。

【請求項3】

請求項1または2において、

前記ゲート絶縁層は、窒化シリコン層である、半導体装置。

【請求項4】

請求項3において、

前記窒化シリコン層は、プラズマ励起により活性化された窒化種を前記半導体層に直接作用させて形成された、半導体装置。

【請求項5】

請求項1～4のいずれかにおいて、

前記ゲート電極は、窒化タンタル層を含む、半導体装置。

【請求項6】

請求項5において、

前記窒化タンタル層は、スパッタリング法により形成された、半導体装置。

【請求項7】

a) 半導体層を有する基板を準備する工程と、

b) 前記基板を第1処理室に搬送する工程と、

c) 前記第1処理室内において、前記半導体層の上方にゲート絶縁層となる物質を形成する工程と、

d) 前記基板を前記第1処理室から第2処理室へと搬送経路を介して搬送する工程と、

e) 前記第2処理室内において、前記ゲート絶縁層の上方にゲート電極となる物質を形成する工程と、をこの順序で含み、

前記c工程における前記第1処理室と、前記d工程における前記搬送経路と、前記e工程における前記第2処理室とは、酸素分圧が10ppm以下の雰囲気に保たれている、半導体装置の製造方法。

【請求項8】

請求項7において、

前記ゲート絶縁層に含まれる酸素の原子分率は5atm.%以下である、半導体装置の製造方法。

【請求項9】

請求項7または8において、

前記ゲート絶縁層は、窒化シリコン層である、半導体装置の製造方法。

【請求項10】

請求項9において、

前記窒化シリコン層は、プラズマ励起により活性化された窒化種を前記半導体層に直接作用させて形成された、半導体装置の製造方法。

【請求項11】

請求項10において、

前記窒化シリコン層は、1eV以下の低電子温度の高密度プラズマ状態にある窒化種を

前記半導体層に直接作用させて形成された、半導体装置の製造方法。

【請求項 12】

請求項 7～11 のいずれかにおいて、

前記ゲート電極は、スパッタリング法により形成された窒化タンタル層を含む、半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置およびその製造方法

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関し、特に、ゲート絶縁層に特徴を有する半導体装置およびその製造方法に関する。

【背景技術】

【0002】

ゲート絶縁層を極限まで薄膜化した微細なMIS型トランジスタ（MISFET）は、チャネル部により多くのキャリアを誘起することができるため、非常に高い駆動能力が期待できる。しかしながら、ゲート絶縁層の薄膜化が進むにつれ、ゲート電極と半導体層との間に多大な直接トンネリング電流が流れ、半導体装置の消費電力が非常に大きくなる問題点があった。そのため、ゲート絶縁層として従来用いられている酸化シリコン層よりも比誘電率の大きな物質をゲート絶縁層に採用して、物理膜厚を大きくすることで直接トンネリング電流を低減する試みられている。

【0003】

酸化シリコン層よりも比誘電率が大きい物質として、金属酸化物を用いることが検討されている。このような金属酸化物としてアルミニウム、ハフニウム、タンタル、ランタンなどの酸化物をゲート絶縁層として用いることが報告されている。しかしながら、これらの金属酸化物をゲート絶縁層として用いた場合には、ゲート絶縁層と半導体層との界面、あるいは、ゲート絶縁層とゲート電極との界面に、酸素原子の遊離に起因する低比誘電率の界面反応層を生じてしまう問題があった。

【0004】

また、ゲート絶縁層に酸化シリコン層よりも比誘電率が大きい窒化シリコン層を単独で、あるいは窒化シリコン層と他の絶縁層とを組み合わせて用いることが考えられている（特許文献1、2参照）。しかしながら、従来のCVD等の堆積法による窒化シリコン層の形成法では酸素原子の混入を十分制御できているとはいはず、ゲート絶縁層の比誘電率が低下してしまう問題があった。また、従来の製造方法では、窒化シリコン層からなるゲート絶縁層への酸素原子の混入を防止することも容易ではなかった。

【特許文献1】特開2002-76336号公報

【特許文献2】特開2000-252462号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明の目的は、酸素原子の混入が抑制された高比誘電率のゲート絶縁層を有する半導体装置およびその製造方法を提供することにある。

【課題を解決するための手段】

【0006】

本発明にかかる半導体装置は、

半導体層と、

前記半導体層の上方に形成されたゲート絶縁層と、

前記ゲート絶縁層の上方に形成されたゲート電極と、を含み、

前記ゲート絶縁層に含まれる酸素の原子分率は5atm.%以下である。

【0007】

本発明の半導体装置によれば、ゲート絶縁層は、該ゲート絶縁層に含まれる酸素の原子分率が5atm.%以下に制御されている。その結果、不純物が少なく高比誘電率のゲート絶縁層を有する半導体装置を提供できる。

【0008】

また、本発明にかかる半導体装置は、

半導体層と、

前記半導体層の上方に形成されたゲート絶縁層であって、界面反応層を有するゲート絶縁層と、

前記ゲート絶縁層の上方に形成されたゲート電極と、を含み、

前記ゲート絶縁層に含まれる酸素の原子分率は 5 a t m. % 以下である。

【0009】

本発明の半導体装置によれば、ゲート絶縁層は、該ゲート絶縁層と、半導体層あるいはゲート電極との界面に生成する界面反応層とを含め、該ゲート絶縁層に含まれる酸素原子の原子分率が 5 a t m. % 以下に制御されている。その結果、不純物が少なく高比誘電率のゲート絶縁層を有する半導体装置を提供できる。

【0010】

本発明にかかる半導体装置の製造方法は、

- a) 半導体層を有する基板を準備する工程と、
- b) 前記基板を第1処理室に搬送する工程と、
- c) 前記第1処理室内において、前記半導体層の上方にゲート絶縁層となる物質を形成する工程と、
- d) 前記基板を前記第1処理室から第2処理室へと搬送経路を介して搬送する工程と、
- e) 前記第2処理室内において、前記ゲート絶縁層の上方にゲート電極となる物質を形成する工程と、をこの順序で含み、

前記c工程における前記第1処理室と、前記d工程における前記搬送経路と、前記e工程における前記第2処理室とは、酸素分圧が 10 p p m 以下の雰囲気に保たれている。

【0011】

ここで、「酸素分圧」とは、酸素の分圧のみならず、水などの酸素化合物の分圧をも含めた分圧を意味する。

【0012】

本発明の製造方法によれば、ゲート絶縁層への酸素原子の混入を制御し、ゲート絶縁層の比誘電率の低下を防止することができる。

【発明を実施するための最良の形態】

【0013】

次に、本発明の実施の形態について図面を参照して説明する。

【0014】

1. 半導体装置

図1は、本発明の実施の形態に係る半導体装置1000を模式的に示す断面図である。半導体装置1000は、相補型の半導体装置であって、Nチャネル絶縁ゲート電界効果トランジスタ(NMISFET)100Aと、Pチャネル絶縁ゲート電界効果トランジスタ(PMISFET)100Bとを含む。NMISFET100AおよびPMISFET100Bは、SOI(Silicon On Insulator)基板1に形成されている。SOI基板1は、支持基板1c上に、絶縁層(酸化シリコン層)1bおよび半導体層1aが積層されて構成されている。本実施の形態においては、半導体層1aはシリコン層である。なお、半導体層はバルクの半導体基板であってもよい。そして、NMISFET100AおよびPMISFET100Bは、それぞれSOI基板1の半導体層1aに形成された素子分離領域20によって分離されている。

【0015】

各MISFET100Aおよび100Bは、半導体層1a上に、ゲート絶縁層2を介して、積層型のゲート電極3が形成された構造を有する。

【0016】

本実施の形態では、ゲート絶縁層2は、該ゲート絶縁層に含まれる酸素の原子分率が 5 a t m. % 以下、好ましくは 3 a t m. % である。ゲート絶縁層2は、好ましくは窒化シリコン(Si_3N_4)層である。また、ゲート絶縁層2は、半導体層1aとの界面、あるいはゲート電極3との界面において、酸素を含む界面反応層を有さないことが望ましい。あるいは、ゲート絶縁層2は、半導体層1aとの界面、あるいはゲート電極3との界面に

おいて、酸素を含む界面反応層を有したとしても、その厚さはより薄いことが望ましい。すなわち、界面反応層も含んだゲート絶縁層2での酸素の原子分率は5 a t m. %以下、好ましくは3 a t m. %以下であることが望ましい。このように、ゲート絶縁層2に含まれる酸素の原子分率を制限することにより、比誘電率の低い酸化物の生成を抑制できる。その結果、ゲート絶縁層2の比誘電率を高くすることができ、例えばその比誘電率を7以上にすることができる。

【0017】

ゲート電極3は、窒化タンタル層（ボトム窒化タンタル層）4、体心立方格子相のタンタル層5、およびキャップ層としての窒化タンタル層（トップ窒化タンタル層）6が順次積層されて構成されている。また、ゲート絶縁層2の直下にはチャネル領域7、チャネル領域7の両端には、ソース領域／ドレイン領域8a, 8bが設けられている。そして、NMISFET100Aにおいては、ソース／ドレイン領域8a, 8bはN型に、PMISFET100Bでは、ソース／ドレイン領域8a, 8bはP型に形成されている。ソース／ドレイン領域8a, 8bとチャネル領域7との間にはエクステンション領域10a, 10bが形成されている。ソース／ドレイン領域8a, 8bの上部には、図示しないシリサイド層をそれぞれ形成することができる。

【0018】

2. 半導体装置の製造方法

本実施の形態の半導体装置1000は、以下の工程を経ることにより実現できる。本実施の形態では、マルチチャンバ方式あるいはクラスタ方式などを好ましく用いることができる。図5では、クラスタ方式の装置例を示す。この装置は、ロードロック室40、第1処理室50、第2処理室60および搬送室70などを有する。ロードロック室40、第1処理室50および第2処理室60は、搬送室70の周りに配置され、各処理を連続的に行うことができる。具体的には、ロードロック室（カセットチャンバ）40に収容された被処理体（SOI基板1）は、搬送室（クラスタセンターチャンバ）70を経由して第1処理室（プラズマチャンバ）50に搬送され、ゲート絶縁層2が形成される。次に、SOI基板1は、第1処理室70から搬送室70を経由して第2処理室（スパッタチャンバ）60に搬送され、ゲート電極3が形成される。そして、各チャンバでは、酸素分圧が制御されている。以下、各処理工程について述べる。

(a) 図2に示すように、支持基板1c上に、絶縁層（例えば酸化シリコン層）1bおよび半導体層（例えば低濃度のP型シリコン層）1aが積層されたSOI基板1を準備する。SOI基板1は、図5に示すロードロック室1に収容される。この工程では、少なくとも酸素分圧は10 ppm以下、好ましくは1 ppm以下に保たれている。

【0019】

SOI基板1の半導体層1aは、たとえば、厚さ30 nmである。SOI基板1の半導体層1aは、MIS型トランジスタなどの素子形成領域ごとに分離されている。半導体層1aの分離は、ドライエッチング法により半導体層1aに形成された溝、あるいはSTI（Shallow Trench Isolation）法などにより形成された素子分離領域によって行われる。

【0020】

(b) 次に、図5に示すように、SOI基板1は、搬送室（クラスタセンターチャンバ）70を経由して、第1処理室（プラズマチャンバ）50に搬送される。

【0021】

第1処理室50では、室内に窒素あるいは窒素化合物を含むガスが導入され、プラズマ励起によって活性化された窒素種と半導体層1aのシリコンとを直接反応させる、いわゆる直接プラズマ反応により、半導体層1aの上にゲート絶縁層となる窒化シリコン層2aを形成する。この成膜工程では、少なくとも酸素分圧は10 ppm以下、好ましくは1 ppm以下に保たれている。

【0022】

窒素種となるガスとしては、窒素、アンモニアなどを用いることができる。窒素種として窒素を用いる場合には、水素と、アルゴン、キセノンなどの希ガスを併用できる。この

場合、例えば、窒素、水素および希ガスの組成比（窒素／水素／希ガス）は、7／3／90前後であることができる。

窒素種としてアンモニアを用いる場合には、アルゴン、クリプトン、キセノンなどの希ガスを併用できる。この場合、アンモニアと希ガスとの流量比（アンモニア／希ガス）は、例えば、2／98～20／80とすることが望ましい。アンモニアの量が前記上限より多いと、窒化シリコン層に導入される水素が多くなり、ダングリングボンド終端に寄与しない割合が増加して信頼性が低下する傾向がある。また、アンモニアの量が上記下限より少ないと窒素源が少なくなりすぎ、膜特性が低下し、例えばキャパシタ特性（C-V特性）においてヒステリシスが生じる。窒化シリコン層の膜厚は、成膜条件によって異なるが、1～7 nmである。

【0023】

第1処理室50は、高密度プラズマ装置、好ましくはRLSA（Radial Line Slot Antenna）を応用したマイクロ波励起高密度プラズマ装置である。この装置を用いたプラズマは非常に低電子温度（1 eV以下）であるため、この装置を用いたプラズマ窒化によれば、プラズマダメージが非常に少ない窒化膜を低温で形成できる利点がある。さらに、プラズマダメージを低減するために、ゲート絶縁層となる物質の形成には、低電子温度化が可能な2.54 GHzの高密度プラズマ法を用いることができる。

【0024】

この工程で形成された窒化シリコン層は、不純物が少なく、均一性が良く、高比誘電率を有する。

【0025】

(c) 次に、図5に示すように、窒化シリコン層2aが形成されたSOI基板1は、第1処理室50から搬送室70を介して第2処理室（スパッタチャンバ）60に搬送される。第2処理室60は、少なくとも酸素分圧は10 ppm以下、好ましくは1 ppm以下に保たれている。

【0026】

第2処理室60において、図3に示すように、キセノンガスを用いたスパッタリング法にて、窒化シリコン層2aの上に、ボトム窒化タンタル層4a、体心立方格子相のタンタル層5a、およびトップ窒化シリコン層6aを順次、成膜する。この成膜工程でスパッタリング法を採用することにより、不純物の混入を少なくすることができる。また、ゲート電極となる物質のスパッタリングに使用する希ガスには、アルゴンガスの代わりにキセノンガスを採用し、低界面準位密度を実現し、窒化シリコン層2aに欠陥やダメージを与えてくくしている。

【0027】

ボトム窒化タンタル層4aは、導電性およびしきい値特性などの点を考慮すると、Ta_{N_x}で表される、窒素とタンタルの組成比(x)が0.25～1.0であることが望ましい。

【0028】

ゲート電極3を構成する層の膜厚を例示すると、ボトム窒化タンタル層4aの膜厚は30 nm、体心立方格子相からなるタンタル層5aは100 nm、トップ窒化シリコン層6aは30 nmである。窒化タンタルおよびタンタルからなるゲート電極は、ゲート空乏化を起こさない点で、従来の多結晶シリコンからなるゲート電極に比べて有利である。また、ボトム窒化タンタル4aは、ゲート絶縁層との界面において、酸素を含んだ界面反応層を生じにくくする点でも有利である。

【0029】

さらに、これらのボトム窒化タンタル層4a、体心立方格子相のタンタル層5aおよびトップ窒化タンタル層6aは、大気にさらされることなく、連続的に形成されることが望ましい。成膜の途中で、膜を大気にさらすと、水分の付着や膜表面への酸化物形成が発生し、好ましくない。

【0030】

(d) 次に、S O I 基板1は、図5に示す第2の処理室60あるいは図示しない他の処理室においてパターニング処理される。すなわち、図4に示すように、リソグラフィー技術およびドライエッチング技術により、ボトム塗化タンタル層4a, タンタル層5aおよびトップ塗化タンタル層6aからなる積層体をパターニングすることによりゲート電極3を形成する。すなわち、ゲート電極3は、ボトム塗化タンタル層4, 体心立方格子相のタンタル層5およびキャップの塗化タンタル層6の積層構造を有する。この例では、引き続いて塗化シリコン層2aをパターニングすることにより、ゲート絶縁層2を形成する。前記積層体のパターニングには、 NF_3 とSiCl₄の混合ガスを使用した高選択なドライエッチング法を用いることが望ましい。このエッチングにより、前記積層体はゲート長65nmのゲート電極3に加工される。

【0031】

上記の方法で形成されたゲート電極3は低抵抗となり、そのシート抵抗は約20hm/□である。

【0032】

(e) 次に、図1に示すように、ゲート電極3をマスクとして半導体層1a内に不純物を注入し、該半導体層1a内にソース／ドレイン領域のエクステンション領域10a, 10bを形成する。その後、サイドウォール絶縁層9をゲート電極3の側壁に形成する。サイドウォール絶縁層9は、高密度CVD法を採用した500°C以下の低温で形成された塗化シリコン層を異方性エッチングすることで形成される。サイドウォール絶縁層9の幅は例えば50nmである。次に、ゲート電極3とサイドウォール絶縁層9とをマスクとして半導体層1a内に不純物を注入し、該半導体層1a内にソース／ドレイン領域8a, 8bを形成する。その後、低温CVD法(LTO)により層間絶縁層(図示せず)を厚さ800nmで形成する。その後、550°C以下の固相エピタキシー法(SPE)により各不純物を活性化させる。

【0033】

以降の工程は、従来のCMOS型トランジスタの形成方法と同様な方法が用いられ、半導体装置1000が完成する。

【0034】

この半導体装置およびその製造方法によれば、以下の特徴を有する。

【0035】

本実施の形態では、ゲート絶縁層2となる物質を形成するための第1処理室(プラズマチャンバ)50と、ゲート電極3となる物質を形成するための第2処理室(スパッタチャンバ)60とは、搬送室(センタークラスター・チャンバ)70を介して結合されている。重要なことは、少なくとも第1処理室と第2処理室と両処理室間を結合する搬送系路とが、全て、酸素分圧10ppm以下の雰囲気に保たれていることである。すなわち、ゲート絶縁層となる物質を形成する工程と、ゲート電極となる物質を形成する工程と、これら2つの工程間において被処理体(基板)を搬送する工程とにおいて、被処理体は酸素分圧が10ppmを超えた雰囲気に曝されない。このことにより、ゲート絶縁層への酸素原子の混入を制御できる。

【0036】

仮に、ゲート絶縁層への酸素原子の混入を制御しなかった場合、換言すればゲート絶縁層を形成した後に大気に暴露してしまうと、水分等の吸着により、ゲート絶縁層中に大量の酸素原子を混入し、等価比誘電率値が6.8以下に低下してしまう。このことは、図6に示すRBS(ラザフォード後方散乱分析法)による組成分析結果から明かである。図6は、シリコン基板上に塗化シリコン層を約3nmの厚さで形成したサンプルの膜組成を示す。塗化シリコン層の形成条件は、基板を大気中に暴露した他は本実施の形態と同様である。図6において、横軸は塗化シリコン層の表面からの深さを示し、縦軸は各原子の比率を示す。図6において、符号aで示すラインはシリコン層の表面に相当する。図6から、塗化シリコン層において、酸素が約7atm.%の割合で含まれることがわかる。このことから、ゲート絶縁層(塗化シリコン層)を形成する前と後とに、基板を大気に暴露する

と、窒化シリコン層に酸素が混入し、窒化シリコンが有する比誘電率よりかなり小さくなることがわかる。

【0037】

一方、本実施の形態においては、前述したように特定の処理工程における酸素分圧を制御することにより、ゲート絶縁層への酸素の混入を抑えている。当該方法により形成されたゲート絶縁層(シリコン窒化層)の酸素の原子分率は、5 atm. %以下に制御されている。また、基板の処理工程において、シリコン窒化層とシリコン層との間に形成される界面反応層と、シリコン窒化層と窒化タンタル層との間に形成される界面反応層と、のいずれか一方、あるいは、両方とが形成されてしまうことを考慮すると、ゲート絶縁層(シリコン窒化層)の酸素の原子分率は、界面反応層も含め、好ましくは5 atm. %以下、より好ましくは3 atm. %以下に制御されている。

【0038】

このようにして、本実施の形態では、ゲート絶縁層の等価比誘電率は7.0以上を維持することができ、安定でより駆動能力の高いMIS型半導体装置を提供することができる。

【0039】

以上、本発明の実施の形態について述べたが、本発明は、上述の実施の形態に限定されず、本発明の要旨の範囲内で変形が可能である。例えば、上述の実施の形態においては、半導体層はSOIであったが、半導体層はこれに限定されず、バルク状の半導体基板であってもよい。また、本発明では、サリサイド構造やダマシングート構造も適用可能である。

【図面の簡単な説明】

【0040】

【図1】本実施の形態に係る製造方法により得られる半導体装置を示す断面図。

【図2】本実施の形態に係る半導体装置の製造方法を示す断面図。

【図3】本実施の形態に係る半導体装置の製造方法を示す断面図。

【図4】本実施の形態に係る半導体装置の製造方法を示す断面図。

【図5】本実施の形態に係る半導体装置の製造方法に用いられる装置を示す図。

【図6】大気暴露をした場合のシリコン窒化層の組成分析結果を示す図。

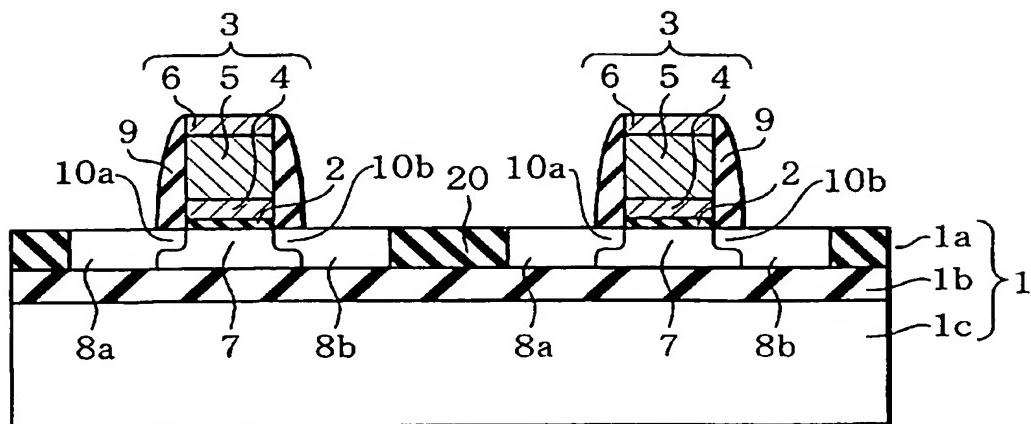
【符号の説明】

【0041】

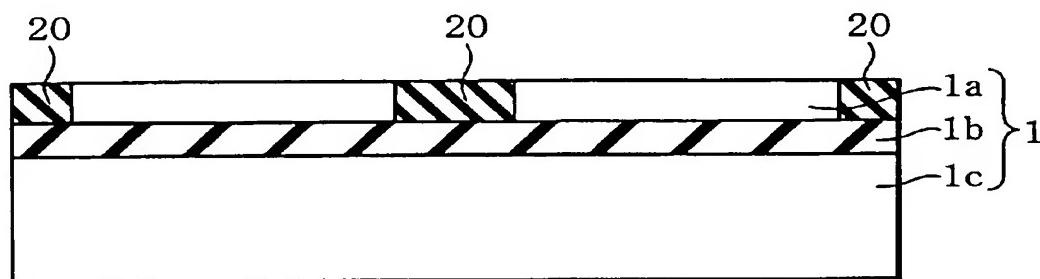
1 SOI基板、1a 半導体層、1b 絶縁層(酸化シリコン層)、1c 支持基板、
 2 ゲート絶縁層、3 ゲート電極、4 窒化タンタル層、5 体心立方格子相のタンタル層、6 窒化タンタル層、20 素子分離領域、50 第1処理室、60 第2処理室、70 搬送室

【書類名】 図面

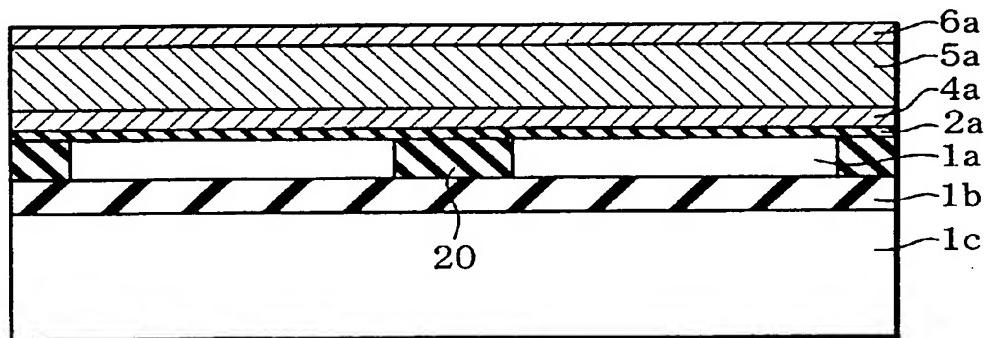
【図 1】



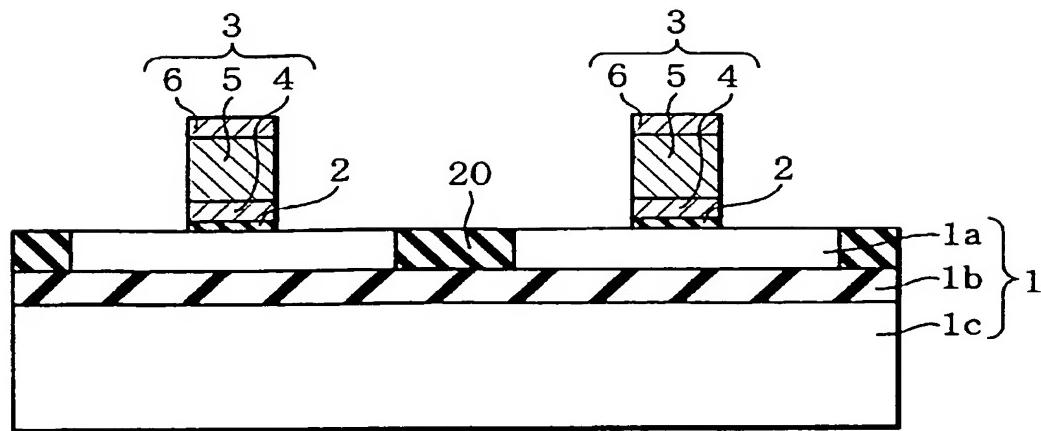
【図 2】



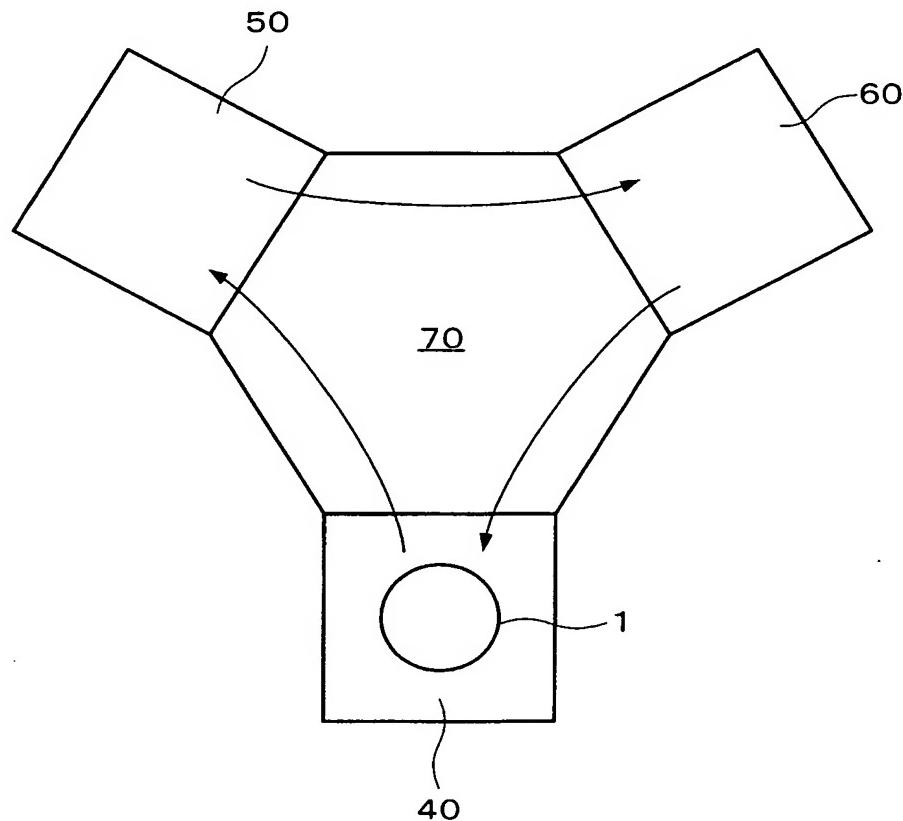
【図 3】



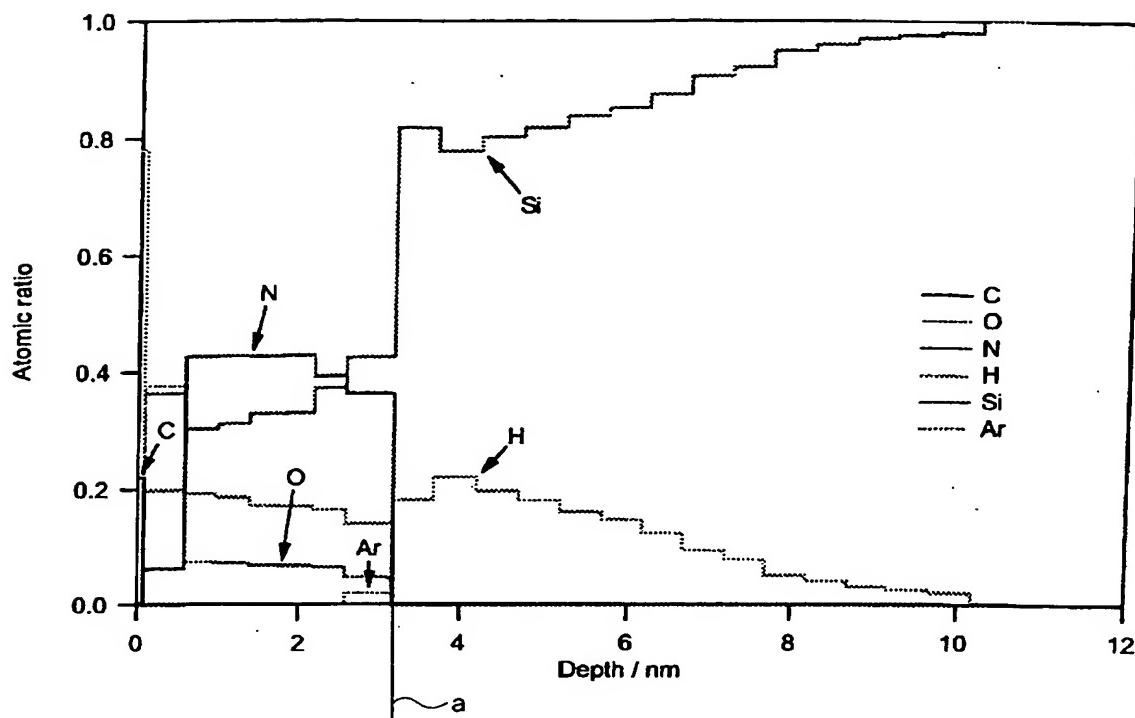
【図4】



【図5】



【図 6】



【書類名】要約書

【要約】

【課題】 酸素原子の混入が制御されたゲート絶縁層を有する半導体装置およびその製造方法を提供する。

【解決手段】 半導体装置の製造方法は、半導体層を有する基板を準備する工程と、基板を第1処理室50に搬送する工程と、第1処理室50内において半導体層の上方にゲート絶縁層となる物質を形成する工程と、基板を第1処理室50から第2処理室60へと搬送経路70を介して搬送する工程と、第2処理室60内においてゲート絶縁層の上方にゲート電極となる物質を形成する工程と、をこの順序で含む。第1処理室50と、搬送経路70と、第2処理室60とは、酸素分圧が10ppm以下の雰囲気に保たれている。

【選択図】 図5

認定・付加情報

特許出願の番号	特願 2003-277404
受付番号	50301204413
書類名	特許願
担当官	第五担当上席 0094
作成日	平成 15 年 7 月 25 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000002369
【住所又は居所】	東京都新宿区西新宿 2 丁目 4 番 1 号
【氏名又は名称】	セイコーエプソン株式会社
【代理人】	申請人
【識別番号】	100090479
【住所又は居所】	東京都杉並区荻窪 5 丁目 26 番 13 号 荻窪 TM ビル 2 階 井上・布施合同特許事務所
【氏名又は名称】	井上 一

【選任した代理人】

【識別番号】	100090398
【住所又は居所】	東京都杉並区荻窪 5 丁目 26 番 13 号 荻窪 TM ビル 2 階 井上・布施合同特許事務所
【氏名又は名称】	大渕 美千栄

【選任した代理人】

【識別番号】	100090387
【住所又は居所】	東京都杉並区荻窪 5 丁目 26 番 13 号 荻窪 TM ビル 2 階 井上・布施合同特許事務所
【氏名又は名称】	布施 行夫

特願 2003-277404

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社